

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060870

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

H03L 7/199

H03L 7/099

H03L 7/183

(21)Application number : 11-237432

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.08.1999

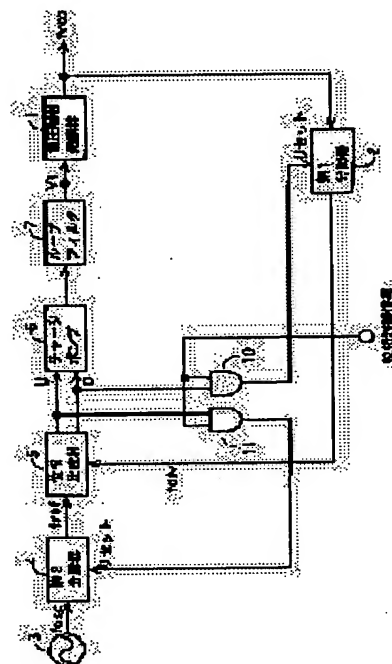
(72)Inventor : HIRANO SHUNSUKE

(54) FREQUENCY SYNTHESIZER DEVICE, FREQUENCY GENERATION METHOD AND MOBILE RADIO UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten lock-up time of a frequency synthesizer.

SOLUTION: A 2nd frequency divider 4 is reset in response to an output signal U of a phase comparator 5 when the output signal of a 1st frequency divider 2 has a phase lag, and a 1st frequency divider 2 is reset in response to the output signal D of the comparator 5 when the output signal of the divider 4 has a phase lead. As the comparator 5 performs both phase comparison and frequency comparison at a time, the lock-up time of a frequency synthesizer device can be shortened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60870

(P2001-60870A)

(43) 公開日 平成13年3月6日(2001.3.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 3 L	7/199	H 0 3 L 7/10	G 5 J 1 0 6
	7/099	7/08	F
	7/183	7/18	B

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平11-237432

(22) 出願日 平成11年8月24日(1999.8.24)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平野 俊介

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100099254

弁理士 役 昌明 (外3名)

Fターム(参考) 5J106 AA04 BB01 CC01 CC24 CC41

CC53 DD08 DD32 DD43 GG01

GG09 HH01 HH03 HH09 HH10

KK03 KK08 KK22 PP03 QQ06

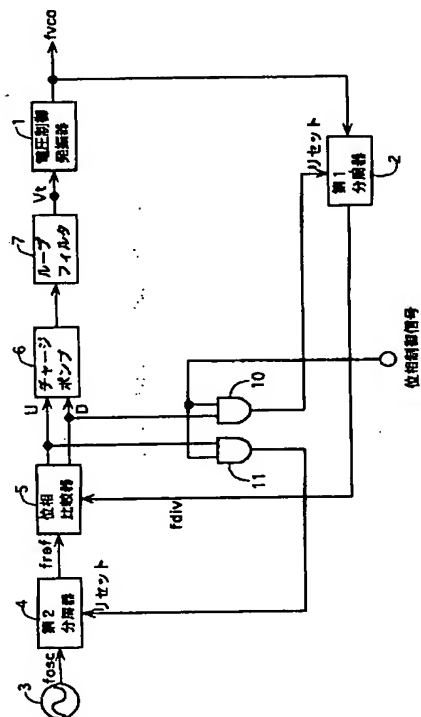
QQ09 RR12 RR20

(54) 【発明の名称】 周波数シンセサイザ装置、周波数生成方法、および移動無線機

(57) 【要約】

【課題】 周波数シンセサイザ装置のロックアップタイムを短縮する。

【解決手段】 第1の分周器2の出力信号が位相遅れの時には位相比較器5の出力信号Uに応じて第2の分周器4をリセットし、第2の分周器4の出力信号が位相進みの時には位相比較器5の出力信号Dに応じて第1の分周器2をリセットする。位相比較器で位相比較と周波数比較を同時に行うので、ロックアップタイムを短縮ことができる。



## 【特許請求の範囲】

【請求項 1】 電圧制御発振器と、前記電圧制御発振器の出力の周波数を分周した信号を出力する第 1 の分周器と、基準信号の周波数を分周する第 2 の分周器と、前記第 1 の分周器の出力信号と前記第 2 の分周器の出力信号の位相を比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号をループフィルタを介して前記電圧制御発振器に印加するチャージポンプとを備えた周波数シンセサイザ装置において、前記第 1 の分周器の出力信号の位相が前記第 2 の分周器の出力信号の位相に対し進んでいる時は前記位相比較器の出力信号に応じて前記第 1 の分周器の動作をリセットする第 1 のリセット手段と、前記第 1 の分周器の出力信号の位相が前記第 2 の分周器の出力信号の位相に対し遅れている時は前記位相比較器の出力信号に応じて前記第 2 の分周器の動作をリセットする第 2 のリセット手段とを備え、前記第 1 および第 2 のリセット手段の動作をオン／オフする位相制御信号を前記第 1 および第 2 のリセット手段に入力することを特徴とする周波数シンセサイザ装置。

【請求項 2】 並列接続された複数のコンデンサを含む LC 共振回路を具備した前記電圧制御発振器と、位相制御信号と第 1 および第 2 のリセット手段の出力信号とに応じて、前記複数のコンデンサの合成容量値を変化させる制御信号と電圧発生手段を制御する信号とを出力する周波数制御手段と、前記周波数制御手段の出力信号に応じて直流電圧を前記電圧制御発振器に印加する前記電圧発生手段とを備えたことを特徴とする請求項 1 記載の周波数シンセサイザ装置。

【請求項 3】 位相比較器の出力信号に応じて位相制御信号を生成することを特徴とする請求項 1 または 2 記載の周波数シンセサイザ装置。

【請求項 4】 電圧制御発振器でその制御電圧端子に印加される電圧に応じた周波数の信号を発振し、前記電圧制御発振器の出力の周波数を分周した信号を第 1 の分周器で出力し、基準信号の周波数を第 2 の分周器で分周し、前記第 1 の分周器の出力信号と前記第 2 の分周器の出力信号の位相を位相比較器で比較してその位相差を出力し、前記位相比較器の出力信号をチャージポンプとループフィルタを介して前記電圧制御発振器の制御電圧端子に印加する周波数生成方法において、前記第 1 の分周器の出力信号の位相が前記第 2 の分周器の出力信号の位相に対し進んでいる時は前記位相比較器の出力信号に応じて前記第 1 の分周器の動作を第 1 のリセット手段でリセットし、前記第 1 の分周器の出力信号の位相が前記第 2 の分周器の出力信号の位相に対し遅れている時は前記位相比較器の出力信号に応じて前記第 2 の分周器の動作を第 2 のリセット手段でリセットし、前記前記第 1 の分周器の出力信号と前記第 2 の分周器の出力信号の位相が一致した時に前記第 1 および第 2 のリセット手段の動作を停止させることを特徴とする周波数生成方法。

【請求項 5】 電圧制御発振器は並列接続された複数のコンデンサを含む LC 共振回路を備えたものとし、位相制御信号と第 1 および第 2 のリセット手段の出力信号とに応じて前記複数のコンデンサの合成容量値を変化させる制御信号と電圧発生手段を制御する信号とを周波数制御手段で出力し、前記周波数制御手段の出力信号に応じて前記電圧制御発振器の制御電圧端子に前記電圧発生手段で直流電圧を印加することを特徴とする請求項 4 記載の周波数生成方法。

10 【請求項 6】 前記位相比較器の出力信号に応じて前記位相制御信号を生成することを特徴とする請求項 4 または 5 記載の周波数生成方法。

【請求項 7】 請求項 1 乃至 3 記載の周波数シンセサイザ装置を備えたことを特徴とする移動無線機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、移動無線機等において好適な周波数シンセサイザ装置に関し、特にロックアップタイムが短かく、良好な C/N 特性を持ち、出力周波数範囲の広い電圧制御発振器を低コストで集積化できるようにした周波数シンセサイザ装置に関するものである。

## 【0002】

【従来の技術】携帯電話機のような移動無線機の場合、周波数シンセサイザ装置は基準信号から任意の局部発振周波数を作り出すために使用される。

【0003】一般に携帯電話機のような移動無線機で使用される周波数シンセサイザ装置は、図 7 に示すように、周波数制御電圧（以下、 $V_t$ ）に応じた周波数の信号を発振する電圧制御発振器 1 と、電圧制御発振器 1 の出力信号（以下、 $f_{vco}$ ）の周波数を分周する第 1 の分周器 2 と、基準信号源 3 の出力信号（以下、 $f_{osc}$ ）の周波数を分周する第 2 の分周器 4 と、第 1 の分周器 2 の出力信号（以下、 $f_{div}$ ）と第 2 の分周器 4 の出力信号（以下、 $f_{ref}$ ）との位相を比較して位相差を出力する位相比較器 5 と、位相比較器 5 の出力信号を電圧または電流に変換するチャージポンプ 6 と、チャージポンプ 6 の出力信号を平均化するループフィルタ 7 とを備えている。

【0004】図 8 は、図 7 の周波数シンセサイザ装置の動作を示すタイミングチャートである。位相比較器 5 は  $f_{ref}$  と  $f_{div}$  の立ち下がりエッジの位相差に応じた出力信号 U と D を出力する。 $f_{ref}$  に対し  $f_{div}$  が位相遅れの場合（図 8 中の ）はパルス信号 U を出力し、チャージポンプ 6 を介してループフィルタ 7 に電荷を充電し、電圧制御発振器 1 の出力周波数を高くする。反対に、 $f_{ref}$  に対し  $f_{div}$  が位相進みの場合（図 8 中の ）はパルス信号 D を出力し、チャージポンプ 6 を介してループフィルタ 7 より電荷を放電し、電圧制御発振器 1 の出力周波数を低くする。このように周波数シンセサイザ装置は負帰還ループを構成しており、最終的に  $f_{ref}$  と  $f_{div}$  の位相が一致

したところで位相ロックし、電圧制御発振器1の出力周波数は安定する。以下、電圧制御発振器の出力信号の周波数を変更するために、第1の分周器2の分周比を変更してから位相ロックするまでの過程を引き込み過程、その時間をロックアップタイムと呼ぶ。

【0005】このような周波数シンセサイザ装置では、引き込み過程において、図8の区間で示した部分のように周波数がほとんど一致しているにもかかわらず位相が大きく異なる瞬間が存在する。このような場合、位相を一致させるように周波数シンセサイザ装置の負帰還ループが動くためにループフィルタの電荷が再度充放電され、ほとんど一致していた周波数から離れてしまいロックアップタイムが十分に短縮できないという問題がある。

【0006】これを解決するために、特開平5-48450号公報で開示されている位相整合機能を備えた周波数シンセサイザ装置がある。図9にその構成を示す。この図において、図7と同じ構成要素には同じ番号を付加して説明は省略する。

【0007】この周波数シンセサイザ装置は、位相比較器5の動作状態からロックまたはアンロックを判定するロック検出回路8と、基準信号foscをクロックとしてfrefとfdivの周波数を比較する周波数比較器9とを備え、周波数比較器9の出力で第1の分周器2と第2の分周器4がリセットされる点が図7の周波数シンセサイザ装置とは異なる。

【0008】図9に示した周波数シンセサイザ装置の動

$$fvco = 1 / 2\pi \sqrt{L} [(C0 + C1 \cdot Cv / (C1 + Cv))] \quad \dots (1)$$

【0011】この電圧制御発振器を図7の周波数シンセサイザ装置に用いた場合、可変容量ダイオードCvに周波数制御電圧Vtが印加され、これにより可変容量ダイオードの容量値が変化し、その結果発振周波数fvcoが変化する。

【0012】

【発明が解決しようとする課題】携帯電話機のような移動無線機で使用される周波数シンセサイザ装置には、待ち受け時間の延長の目的から待ち受け時の動作時間比率を下げるためにロックアップタイムの短縮が、また通信品質の面から高C/N特性が、さらに移動無線機の小型化および低コスト化の目的から周波数シンセサイザ装置の構成要素のICチップ上への集積化が要請されている。

【0013】上記のような位相整合機能を備えた周波数シンセサイザ装置において、周波数検出回路9では基準信号foscをクロックとしてfrefとfdivの周波数を比較する。このとき、frefとfdivの周波数は実際には非常に近いので、基準信号foscで精度良く周波数差を検出することは難しく、周波数が一致していないのに第1および第2の分周器をリセットしてしまう場合がある。この場合、位相誤差および周波数誤差が残ってしまうため、十

作を説明する。ロック検出回路8は、frefとfdivの位相が一致したときにロック信号を出力する。周波数比較器9は、frefとfdivの周波数差を検出する。引き込み過程において、図8の区間で示した部分のように周波数はほぼ一致しているが位相が一致していない（アンロック）場合、第1の分周器2と第2の分周器4を強制的にリセットする。この時、周波数はほぼ一致しているため、分周開始時点の位相を一致させれば分周出力の位相は一致することになる。これにより、チャージポンプからの電荷の出し入れが無くなり、周波数が再度離れるということが無くロックアップタイムを短縮することができる。

【0009】図10は、特開平10-261918号公報で開示されている電圧制御発振器の原理を表す回路図である。この回路は、並列接続されたコンデンサC0と負性抵抗部-RとインダクタLと、縦続接続されたコンデンサC1と可変容量ダイオードCvを備えており、コンデンサC1と可変容量ダイオードCvの縦続接続はコンデンサC0と並列に接続されている。

【0010】次に図10の動作について説明する。負性抵抗部-R、コンデンサC0、インダクタLの並列接続部分は、電源電圧を供給されたトランジスタ等の電力を生成する能動素子を有した並列共振回路であり、負性抵抗部-Rは電力を生成するという意味で通常の抵抗とは異なる。この電圧制御発振器の発振周波数は、式(1)で表される。

分にロックアップタイムを短縮できないという問題がある。fref、fdivのパルスを積分することで検出精度を上げることができるが、検出時間がかかるため結果的にロックアップタイムが長くなってしまいう問題がある。

【0014】また、電圧制御発振器の出力周波数範囲を広くするためには、制御感度（1ボルトあたり発振周波数の変化幅、単位[Hz/V]）を高くする必要があり、可変容量ダイオードに容量変化幅（印加電圧に対する容量値の変化幅）の大きいものを使用しなければならない。しかし電圧制御発振器をICチップ上に集積化する場合、コンデンサに比べて可変容量ダイオードの方が単位容量が小さいため、容量変化幅を大きくするには可変容量ダイオードの面積を大きくしなければならず、ICチップ面積が大きくなりコストの増大を招くという問題がある。さらに可変容量ダイオードの面積を大きくすると半導体基板との間の寄生容量も増加してしまい、容量変化幅として十分大きくとれない。このため、発振周波数範囲の広い用途では集積化できないという問題がある。

【0015】そして、電圧制御発振器の制御感度を高くするとC/N特性が劣化するという問題もある。

【0016】本発明の目的は、上記従来の問題点を解決

し、ロックアップタイムが短かく、良好なC/N特性を持ち、出力周波数範囲の広い電圧制御発振器を低コストで集積化した周波数シンセサイザ装置を提供することである。

#### 【0017】

【課題を解決するための手段】本発明の周波数シンセサイザ装置は、電圧制御発振器と、前記電圧制御発振器の出力の周波数を分周した信号を出力する第1の分周器と、基準信号の周波数を分周する第2の分周器と、前記第1の分周器の出力した信号と前記第2の分周器の出力した信号の位相を比較してその位相差を出力する位相比較器と、前記位相比較器の出力した信号をループフィルタを介して前記電圧制御発振器に印加するチャージポンプとを備えた周波数シンセサイザ装置において、前記第1の分周器の出力信号の位相が前記第2の分周器の出力信号の位相に対し進んでいる時は前記位相比較器の出力信号に応じて前記第1の分周器の動作をリセットする第1のリセット手段と、前記第1の分周器の出力信号の位相が前記第2の分周器の出力信号の位相に対し遅れている時は前記位相比較器の出力信号に応じて前記第2の分周器の動作をリセットする第2のリセット手段とを備え、前記第1および第2のリセット手段の動作をオン／オフする位相制御信号を前記第1および第2のリセット手段に入力する構成を有する。この構成により、前記第1の分周器と前記第2の分周器の出力信号の周波数が一致する時は必ず位相も一致するため、ロックアップタイムを短縮することができる。

【0018】また、本発明の周波数シンセサイザ装置は、並列接続された複数のコンデンサを含むLC共振回路を具備した前記電圧制御発振器と、位相制御信号と第1および第2のリセット手段の出力信号とに応じて、前記複数のコンデンサの合成容量値を変化させる制御信号と電圧発生手段を制御する信号とを出力する周波数制御手段と、前記周波数制御手段の出力信号に応じて直流電圧を前記電圧制御発振器に印加する前記電圧発生手段とを備えた構成を有する。この構成により、広い周波数範囲での動作が必要な用途においても、可変容量ダイオードの面積を大きくせずに、C/N特性の良好な電圧制御発振器をICチップ上に低コストで集積化することができる。

【0019】さらに、本発明の周波数シンセサイザ装置は、前記位相比較器の出力信号に応じて前記位相制御信号を制御する構成を有する。この構成により、外部からの制御が不要になり、制御を簡素化することができる。

【0020】また、本発明の移動無線機は、これらの周波数シンセサイザ装置を備えた構成を有する。この構成により、待ち受け時間が長く、小型且つ安価で、通信品質を良好にすることができる。

#### 【0021】

【発明の実施の形態】以下本発明の実施の形態につい

て、図1～図6を用いて詳細に説明する。なお、図7と図10に示した従来技術における構成要素と同一の構成要素には同一の符号を付すことで詳細な説明は省略する。

【0022】（第1の実施の形態）本発明の第1の実施の形態では、引き込みの過程において、常に第1および第2の分周器の動作開始時刻を合わせ、frefとfdivの周波数が一致する時は必ず位相も一致するように構成することで、ロックアップタイムを短縮した。

10 【0023】図1は、本発明の第1の実施の形態の周波数シンセサイザ装置の回路構成を示すブロック図である。この周波数シンセサイザ装置は、位相比較器5の出力信号Dと外部からの位相制御信号との論理積を第1の分周器2のリセット端子に入力するANDゲート10と、位相比較器5の出力信号Uと外部からの位相制御信号との論理積を第2の分周器4のリセット端子に入力するANDゲート11を備えている点が、図7に示した従来の周波数シンセサイザ装置と異なる。

20 【0024】以下、動作について説明する。図2は図1の周波数シンセサイザ装置の動作を表すタイミングチャートである。引き込み過程では位相制御信号はHレベルにしておく。位相比較器5はfrefとfdivの立ち下がりエッジの位相差に応じた出力信号UとDを出力する。

30 【0025】frefに対しfdivが位相遅れの場合（図2中の ）は、frefの立ち下がりエッジのタイミングで立ち上がり、fdivの立ち下がりエッジのタイミングで立ち下がるパルス信号Uを出力し、チャージポンプ6を介してループフィルタ7に電荷を充電することで、電圧制御発振器1の出力周波数を高くする。一方、パルス信号UはANDゲート11を介して第2の分周器4を強制的にリセットし、信号UがLレベルになると同時に第2の分周器4のリセットが解除され、第1の分周器2と第2の分周器4は同時に分周を開始する。次のfrefとfdivの立ち下がりエッジは、周波数が低い方が必ず後に来る。

40 【0026】frefに対しfdivが位相進みの場合（図2中の ）は、fdivの立ち下がりエッジのタイミングで立ち上がり、frefの立ち下がりエッジのタイミングで立ち下がるパルス信号Dを出力し、チャージポンプ6を介してループフィルタ7より電荷を放電することで、電圧制御発振器1の出力周波数を低くする。一方、パルス信号DはANDゲート10を介して第1の分周器2を強制的にリセットし、信号DがLレベルになると同時に第1の分周器2のリセットが解除され、第1の分周器2と第2の分周器4は同時に分周を開始する。次のfrefとfdivの立ち下がりエッジは、周波数が低い方が必ず後に来る。

50 【0027】frefとfdivの位相が一致したところで、位相制御信号をLレベルにすると、第1の分周器2と第2の分周器4にリセットがかからなくなる。この時の動作は図7の従来の周波数シンセサイザ装置と全く同じになり、電圧制御発振器1の出力周波数は安定する。

【0028】引き込みの過程において、常に第1および第2の分周器の動作開始時刻を合わせるため、位相比較器5は位相比較と周波数比較を同時に行っていることになる。したがって、frefとfdivの周波数が一致する時は必ず位相も一致する。

【0029】ここで、位相制御信号は、タイマ等を用いて周波数シンセサイザ装置外部から供給しても良いが、第1および第2の分周器の分周開始時刻が一致しているために、信号U、Dのパルス幅をモニタすれば正確に位相差を検出できる。したがって、このモニタ出力を利用することで容易に位相制御信号を生成できる。この場合外部からの位相制御信号を供給する手段が不要になるため、制御系の構成が簡素化される。

【0030】なお、ここでは信号U、DがHレベルの区間で第1または第2の分周器にリセットをかけ続けるように説明したが、比較周器毎にそれぞれの分周器の分周動作時刻を一致させるものであれば他の構成でも同様に実現可能である。また、位相制御信号、リセット信号、fref、fdiv、U、Dの信号の論理は上記説明通りでなくても同様に実現可能である。

【0031】上記のように本発明の第1の実施の形態では、周波数シンセサイザ装置を、fdivが位相遅れの時には信号Uに応じて第2の分周器4をリセットし、frefが位相進みの時には信号Dに応じて第1の分周器2をリセットする構成としたことにより、引き込み過程においては第1の分周器2と第2の分周器4が同時に分周動作を開始するため、位相比較器5で位相比較と周波数比較を同時に行うことができる。これによりfrefとfdivの周波数が一致する時は必ず位相も一致するため、ロックアップタイムを短縮することができる。

【0032】また、このような周波数シンセサイザ装置を移動無線機で使用した場合は、待ち受け時の動作時間比率を下げられ平均消費電力を少なくできるため、待ち

$$fvco = 1 / 2 \pi \sqrt{L[C0 + C2 + C1 \cdot Cv2 / (C1 + Cv2)]} \quad \dots (3)$$

【0038】式(2)、式(3)において発振周波数を等しくするためにC2は下記の式(4)、したがって、下

$$C1 \cdot Cv1 / (C1 + Cv1) = C2 + C1 \cdot Cv2 / (C1 + Cv2) \quad \dots (4)$$

$$C2 = C1^2 (Cv1 - Cv2) / (C1 + Cv1) (C1 + Cv2) \quad \dots (5)$$

【0039】以下同様に考えて、下記の式(6)のよう

$$C2 = C3 = C4 = C5 = C1^2 (Cv1 - Cv2) / (C1 + Cv1) (C1 + Cv2) \quad \dots (6)$$

SW1、SW2がオンの時は特性3、SW1～SW3がオンの時は特性4、SW1～SW4がオンの時は特性5のようになる。これにより、VtとCNT1～CNT4の制御で発振周波数は、図5のようにVt=0の時のfLから、Vt=VHの時のfHまで変化する。

【0040】図6は、図3の周波数シンセサイザ装置の動作を示すタイミングチャートである。図5におけるfAからfBへの周波数変更を例に、図6を用いて動作を説明する。

【0041】周波数変更を行う場合、第1分周器2に設

受け時間を長くすることができる。

【0033】(第2の実施の形態)本発明の第2の実施の形態では、可変容量ダイオードの印加電圧を変更する以外に複数のコンデンサの合成容量値を位相比較器の出力信号に応じて変化させられる電圧制御発振器を備えたことで、電圧制御発振器の制御感度が低くても広い周波数範囲をカバーできるようにした。

【0034】図3は、本発明の第2の実施の形態の周波数シンセサイザ装置の構成を示すブロック図である。この周波数シンセサイザ装置は、周波数制御電圧Vtと制御信号CNT1～CNT4に応じて出力の周波数が変化する電圧制御発振器14と、ANDゲート10およびANDゲート11の出力信号に応じて、電圧制御発振器1に制御信号CNT1～CNT4と電圧発生手段13のスイッチSW13を制御する信号CNTSWを出力する周波数制御手段12と、SW13を介して電圧制御発振器14の周波数制御端子に電圧V2を印加する電圧発生手段13とを備えている点が、図1に示した第1の実施の形態と異なる。

【0035】電圧制御発振器14の原理を表す回路図を図4に示す。制御信号CNT1～CNT4で制御されるスイッチSW1～SW4と、スイッチSW1～SW4とそれぞれ従属に接続されるコンデンサC2～C5を備えている点が図10の構成とは異なる。

【0036】図5は、図4の電圧制御発振器の動作を示す制御電圧対発振周波数特性である。以下、図5を用いて図4の動作について説明する。制御電圧Vtに電圧V1、V2が印加されたときの可変容量ダイオードCvの容量値がそれぞれCv1、Cv2とする。Vt=V1で、SW1～SW4が全てオフの時は(図5の特性1)、この電圧制御発振器の発振周波数は下記の式(2)で表される。

$$fvco = 1 / 2 \pi \sqrt{L[C0 + C1 \cdot Cv1 / (C1 + Cv1)]} \quad \dots (2)$$

【0037】Vt=V2で、SW1がオン(図5の特性2)すると発振周波数は下記の式(3)で表される。

記の式(5)を満たす値に設定する。

にコンデンサの値を設定すると、

定する分周比を変更する。この時に分周比データを格納するためのトリガ信号が図6の周波数変更指令となる。

そして、周波数変更指令入力後の最初のfdivの立ち下がりエッジで第1の分周器2の分周比が変更されると同時に位相制御信号をHレベルにする。また、周波数制御手段12は、CNT1～CNT4の制御でSW1～SW4をオフ、SW13をオンにする。これによって、電圧制御発振器1の制御電圧VtとしてV2が印加されるので、fvco=f6となる。

【0042】fB<fvcoの間はfref<fdivであるため、位相比較器5より信号Dが出力される。信号Dが出力され

10

20

30

50

るとANDゲート10を介して周波数制御手段12により、SW1からSW2、SW3、SW4と順にオフのスイッチをオンさせる制御信号CNT1～CNT4を出力する。これに伴い $f_{vco}$ は $f_5$ 、 $f_4$ 、 $f_3$ 、 $f_2$ と変化する。

【0043】 $f_B > f_{vco}$ になると、 $f_{ref} > f_{div}$ であるため、位相比較器5より信号Uが出力される。信号UはANDゲート11を介して周波数制御手段12により、SW4からSW3、SW2、SW1と順にオンのスイッチをオフさせる制御信号CNT1～CNT4を出力する。この場合、SW4がオフになり $f_{vco} = f_3$ となる。信号UがLレベルに下がる時にSW13をオフにし、CNT1～CNT4を保持する。この後は図1の第1の実施の形態の周波数シンセサイザ装置と同様の動作で位相同期に至る。

【0044】なお、電圧発生手段13で、 $V_t$ に電圧 $V_2$ を印加してSW1～SW4を全てオフの状態したところから引き込み動作開始するように説明したが、 $V_t$ に電圧 $V_1$ を印加してSW1～SW4を全てオンの状態から引き込み動作を開始しても同様に実現可能である。

【0045】また、ここでは電圧制御発振器14は4本の制御信号で周波数帯域を切り換えるように説明したが、制御信号の数は他の値でも同様に実現可能である。

【0046】さらに、制御信号CNT1～CNT4によりコンデンサの合成容量値を変更するように説明したが、インダクタのインダクタンスや可変容量ダイオードの容量値を変更しても同様に実現可能である。勿論、コンデンサの合成容量値の変更との組み合わせでも良い。

【0047】また、位相制御信号、リセット信号、 $f_{ref}$ 、 $f_{div}$ 、U、D、CNT1～CNT4の信号の論理は上記説明通りでなくても同様に実現可能である。

【0048】上記のように本発明の第2の実施の形態では、周波数シンセサイザ装置を、可変容量ダイオードの印加電圧を変更する以外に複数のコンデンサの合成容量値を位相比較器5の出力信号に応じて変化させられる電圧制御発振器を備えたことで、電圧制御発振器の制御感度が低くても広い周波数範囲をカバーできるため、可変容量ダイオードの容量変化幅を小さくすることができる。これにより、広い周波数範囲での動作が必要な用途においても、電圧制御発振器をICチップ上に集積化することが可能で、更に、可変容量ダイオードの面積が小さくてすみ、ICチップ面積を小さくできるためコストの増大を抑えられる。

【0049】また、電圧制御発振器の制御信号CNT1～CNT4は周波数シンセサイザ装置の動作状態に応じて設定されるので、外部からCPU等の制御回路を用いて制御する必要がない。特に、上記周波数シンセサイザ装置を集積化した場合は制御信号CNT1～CNT4は集積回路外に出ないので、他からのノイズの混入を防止することができる。

【0050】さらに、位相ロック時においては電圧制御発振器の制御感度は低いので、良好なC/N特性も得ら

れる。

【0051】勿論、引き込みの過程で、CNT1～CNT4の状態が決まった後は第1の実施の形態と同じ動作を行うためロックアップタイムも短縮することができる。

【0052】また、このような周波数シンセサイザ装置を移動無線機で使用した場合は、待ち受け時の動作時間比率を下げられ平均消費電力を少なくできる。したがって、待ち受け時間が長く、電圧制御発振器を集積化するため小型かつ安価で、C/N特性が良好で通信品質の良い移動無線機を提供することができる。

【0053】

【発明の効果】以上説明したように、本発明により、ロックアップタイムが短かく、良好なC/N特性を持ち、出力周波数範囲の広い電圧制御発振器を低コストで集積化した周波数シンセサイザ装置を得ることができるという効果が得られる。

【0054】また、本発明により、待ち受け時間が長く、小型かつ安価で、通信品質の良い移動無線機を得ることができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の周波数シンセサイザ装置のブロック図、

【図2】本発明の第1の実施の形態の動作を説明するためのタイミングチャート、

【図3】本発明の第2の実施の形態の周波数シンセサイザ装置のブロック図、

【図4】本発明の第2の実施の形態における電圧制御発振器の原理を示す回路図、

【図5】本発明の第2の実施の形態における電圧制御発振器の動作を示す制御電圧対発振周波数特性図、

【図6】本発明の第2の実施の形態の動作を説明するためのタイミングチャート、

【図7】従来の周波数シンセサイザ装置のブロック図、

【図8】従来の周波数シンセサイザ装置の動作を説明するタイミングチャート、

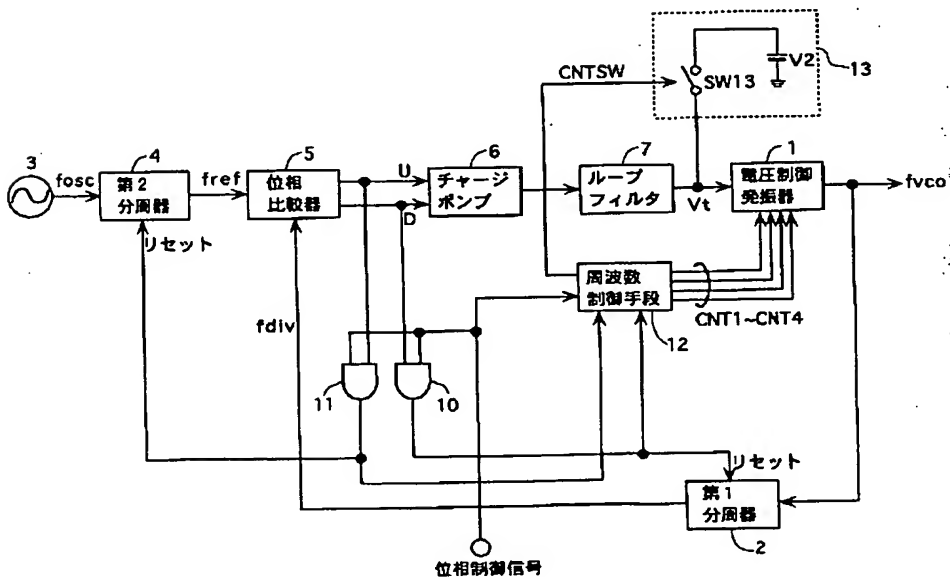
【図9】従来の位相整合機能を備えた周波数シンセサイザ装置のブロック図、

【図10】従来の周波数シンセサイザ装置における電圧制御発振器の原理を示す回路図である。

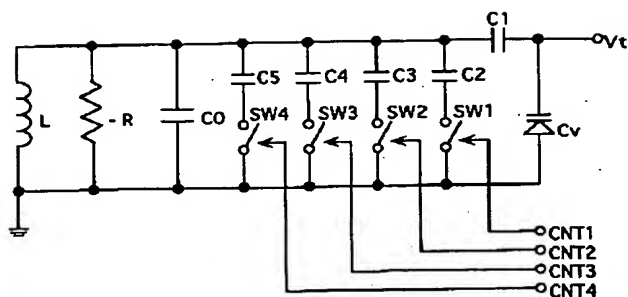
【符号の説明】

- 1 電圧制御発振器
- 2 第1の分周器
- 3 基準信号源
- 4 第2の分周器
- 5 位相比較器
- 6 チャージポンプ
- 7 ループフィルタ
- 8 ロック検出回路
- 9 周波数比較器
- 10、11 ANDゲート

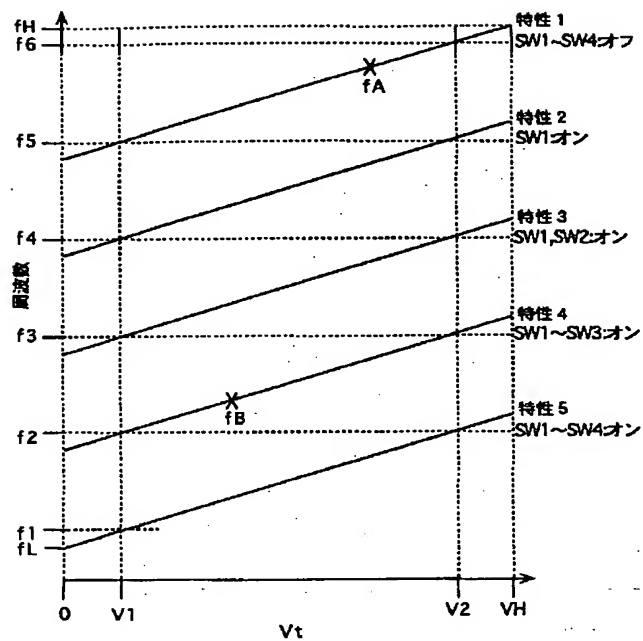




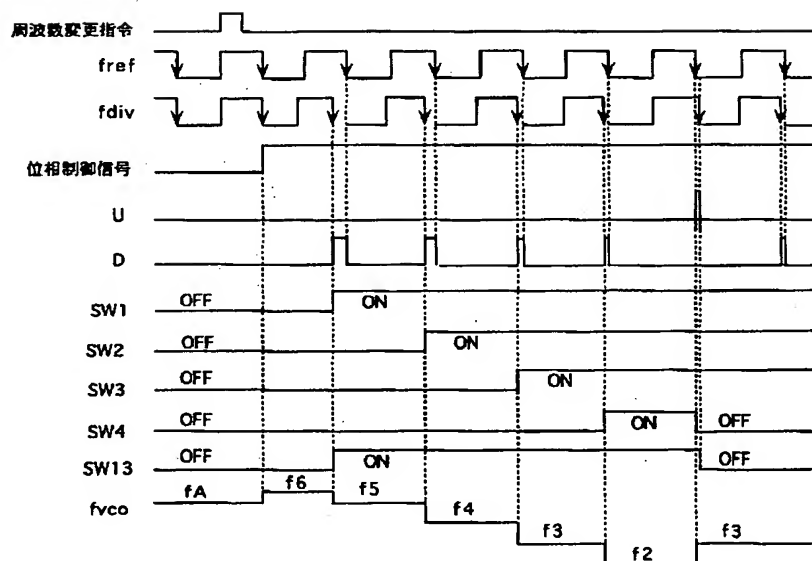
【図4】



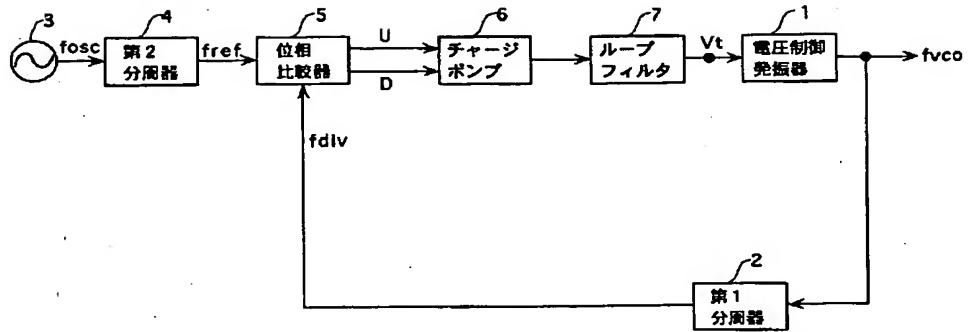
【図5】



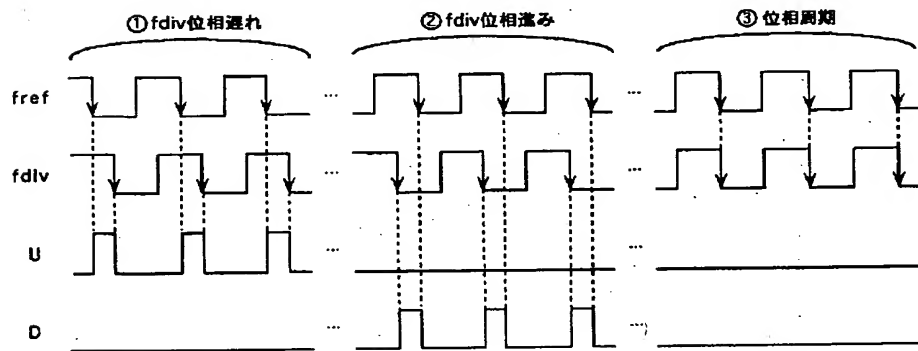
【図6】



【図7】



【図8】



【図9】

